

Support mémoire irréversible à déformation plastique et procédé de réalisation d'un tel support

5 Domaine technique de l'invention

L'invention concerne un procédé de réalisation d'un support mémoire irréversible comportant un réseau de cellules mémoire, chaque cellule mémoire comportant une zone d'une couche active disposée entre des premier et
10 deuxième conducteurs, une information binaire stockée dans la cellule mémoire étant déterminée par l'état de conduction électrique de la zone correspondante.

État de la technique

15

Les mémoires solides à base de silicium, par exemple les mémoires de type flash, sont bien connues et très utilisées actuellement.

20

25

Classiquement, une mémoire solide comporte un réseau matriciel de conducteurs perpendiculaires superposés et isolés les uns des autres, qui sont adressés successivement par multiplexage. Aux intersections des conducteurs sont disposées des cellules mémoire. Pour réaliser une mémoire morte (ROM), les informations d'un fichier à stocker sont, par exemple, inscrites dans le matériau constituant les cellules mémoire par l'intermédiaire d'un masque de lithographie spécifique. Les étapes de masquage et de lithographie
correspondantes représentent une partie considérable des coûts d'une telle mémoire.

Le brevet US6351406 décrit un support mémoire irréversible programmable comportant un réseau de cellules mémoire. Chaque cellule mémoire est adressable par un premier et un deuxième conducteur et comporte un élément de changement d'état connecté entre les premier et deuxième conducteurs. Par l'intermédiaire d'un courant fort, par exemple, on peut provoquer la fusion d'une couche fine isolante disposée entre deux électrodes et la formation d'une liaison permanente conductrice entre les deux électrodes. Ainsi, toutes les cellules mémoire du support mémoire peuvent être programmées. Cependant, les techniques de fabrication de masse de ces supports mémoire irréversibles ne sont pas fiables et présentent des coûts élevés.

D'autres types de supports mémoire irréversible, par exemple les mémoires mortes pré-enregistrées, nécessitent des étapes de masquage supplémentaires lors de la fabrication, ce qui rend leur fabrication coûteuse.

Le document US6055180 décrit un support mémoire comportant un réseau de cellules mémoire, adressables par des premiers et deuxièmes conducteurs, disposés respectivement de part et d'autre d'un média actif. Le média actif comporte au moins un matériau organique et présente des états chimiques ou physiques différents correspondant à des valeurs logiques qui peuvent être détectées par voie électrique. Chaque cellule mémoire comporte une zone du média actif constituant une connexion électrique entre les premier et deuxième conducteurs correspondant. L'écriture d'informations sur une cellule mémoire peut être effectuée par effet Joule en appliquant un courant fort parcourant la zone du média correspondante. Le choix judicieux du matériau du média actif permet de changer l'impédance de la cellule de manière réversible ou irréversible.

Le document US6121688 décrit une feuille conductrice anisotrope destinée à être intégrée dans un circuit imprimé. La feuille conductrice comporte une résine et des particules conductrices, par exemple métalliques, insérées dans la résine. La feuille est disposée entre un conducteur en aluminium et une piste conductrice d'un circuit imprimé. La piste conductrice est déformée de manière à comprimer la feuille conductrice entre la piste conductrice et le conducteur. La zone comprimée de la feuille conductrice constitue une connexion électrique entre la piste conductrice et le conducteur conductrice.

Objet de l'invention

L'invention a pour but de remédier à ces inconvénients et, en particulier, de proposer la réalisation d'un support mémoire irréversible à faible coût tout en utilisant des techniques de fabrication fiables.

Selon l'invention, ce but est atteint par les revendications annexées et, en particulier, par le fait que le procédé de réalisation du support mémoire comporte l'assemblage d'un support mémoire vierge dont la couche active est dans un état initial isolant, la fabrication d'une matrice d'estampage ayant un motif d'estampage correspondant à l'information à stocker et l'estampage du support mémoire par l'intermédiaire de la matrice d'estampage, de manière à rendre des zones prédéterminées de la couche active électriquement conductrices par déformation plastique localisée.

L'invention a également pour but un support mémoire irréversible obtenu par l'intermédiaire du procédé selon l'invention.

Description sommaire des dessins

D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation de l'invention
5 donnés à titre d'exemples non limitatifs et représentés aux dessins annexés, dans lesquels :

Les figures 1 et 2 illustrent un mode de réalisation particulier d'un support
10 mémoire selon l'invention, respectivement en vue de dessus et en coupe selon l'axe A-A.

Les figures 3 à 5, d'une part, et la figure 6, d'autre part, représentent les
différentes étapes d'un mode de réalisation particulier d'un procédé
d'assemblage d'un support mémoire selon la figure 2, en coupe respectivement
selon l'axe B-B de la figure 2 et selon l'axe A-A de la figure 1.

15 Les figures 7 et 8 représentent un mode de réalisation particulier de la fabrication d'une matrice d'estampage.

La figure 9 représente un mode particulier de réalisation de l'estampage du
support mémoire selon la figure 6 par l'intermédiaire de la matrice d'estampage
selon les figures 7 et 8.

Description de modes particuliers de réalisation

25 Sur la figure 1, un support mémoire irréversible comporte cinq premiers conducteurs 1, représentés horizontalement en lignes pointillés, et cinq deuxièmes conducteurs 2, représentés verticalement en lignes pointillés. Les conducteurs 1 et 2 sont isolés les uns des autres. Vingt-cinq cellules mémoire 3 sont disposées selon un réseau, respectivement aux intersections des premiers 1 et deuxièmes 2 conducteurs, et adressables par les premier 1 et deuxième 2

conducteurs associés. Des premières cellules mémoire 3a sont dans leur état initial, isolant, tandis que des deuxièmes cellules mémoire 3b ont subi des déformations plastiques 4 localisées, de manière à modifier leur état de conduction. Ainsi, une information est définie soit par une cellule mémoire 3a lorsqu'elle correspond à un premier niveau binaire (par exemple 0), soit par une cellule mémoire 3b lorsqu'elle correspond à un deuxième niveau binaire (par exemple 1).

Sur la figure 2, le support mémoire irréversible selon la figure 1 est représenté en coupe selon l'axe A-A. Un premier conducteur 1 est disposé sur un substrat 5, par exemple en silicium. Sur le premier conducteur 1, un empilement d'une première couche semiconductrice 6 dopée et d'une deuxième couche semiconductrice 7 de dopage opposé constitue une diode associée au premier conducteur 1 représenté. Une couche active 8 est disposée sur les couches semiconductrices 6 et 7. Les deuxièmes conducteurs 2 sont disposés sur la couche active 8 et l'espace entre les deuxièmes conducteurs 2 est rempli, par exemple avec une technique utilisant une résine de planarisation 9 et/ou en utilisant une étape de polissage mécano-chimique, de manière à créer un plan commun avec les deuxièmes conducteurs 2. La couche active 8 est initialement électriquement isolante et peut être rendue électriquement conductrice par déformation plastique 4. Chaque cellule mémoire 3 comporte, entre les premier 1 et deuxième 2 conducteurs associés, une zone 10 de couche active. Les zones 10 de couche active des premières cellules mémoire 3a sont dans leur état initial isolant, tandis que les zones 10 de couche active des deuxièmes cellules mémoire 3b sont sélectivement rendues électriquement conductrices par déformation plastique localisée 4. Ainsi, l'information binaire stockée dans chaque cellule mémoire 3 est déterminée par l'état de conduction électrique de la zone 10 correspondante de la couche active 8.

De préférence, la couche active 8 est constituée par une résine chargée, par exemple chargée d'ions ou de particules conductrices, initialement isolante et devenant conductrice lors qu'elle est comprimée.

5 Sur la figure 2, chaque cellule mémoire 3 comporte ainsi une diode, constituée par l'empilement des couches semiconductrices 7 et 8, connectée en série avec la zone 10 correspondante de la couche active 8 entre les premier 1 et deuxième 2 conducteurs associés. Cependant, tout élément non-linéaire électronique peut remplacer la diode.

10

Dans le mode de réalisation particulier représenté aux figures 1 et 2, les premiers 1 et deuxièmes 2 conducteurs constituent respectivement un premier réseau de conducteurs parallèles disposés dans un premier plan, inférieur sur la figure 2, et un deuxième réseau de conducteurs parallèles disposés dans un deuxième plan, supérieur sur la figure 2, et perpendiculaires aux premiers conducteurs 1. De manière générale, cependant, les conducteurs peuvent être agencés selon un réseau quelconque.

15

Le procédé de réalisation du support mémoire irréversible comporte l'assemblage d'un support mémoire vierge dont la couche active 8 est dans l'état initial isolant, la fabrication d'une matrice d'estampage ayant un motif d'estampage correspondant à l'information à stocker et l'estampage du support mémoire par l'intermédiaire de la matrice d'estampage.

20

25 Les figures 3 à 6 illustrent l'assemblage d'un support mémoire vierge. Dans une première étape de l'assemblage, représentée sur la figure 3, une première couche conductrice 11 et deux couches semiconductrices 6 et 7, de dopages opposés, sont successivement déposées sur le substrat 5. La première couche conductrice 11 est, par exemple, en cuivre ou en aluminium.

Une deuxième étape, de gravure des couches 11, 6 et 7, et une troisième étape, de dépôt d'une résine de planarisation 12, sont représentées sur la figure 4. Le remplissage de l'espace entre les bandes 13 du premier réseau de bandes 13 parallèles peut comporter une étape de polissage mécano-chimique. La gravure de l'empilement constitué par la première couche conductrice 11 et les deux couches semiconductrices 6 et 7 est effectuée de manière à délimiter un premier réseau de bandes 13 parallèles. Les premières couches conductrices 11 gravées des bandes 13 ainsi obtenues constituent les premiers conducteurs 1. Le dépôt de la résine de planarisation 12 permet de remplir l'espace entre les bandes 13 du premier réseau de bandes 13 parallèles, de manière à ce que la résine de planarisation 12 crée un plan commun avec les bandes 13 du premier réseau de bandes 13 parallèles.

Ensuite, dans une quatrième étape, représentée à la figure 5, la couche active 8 est déposée sur ledit plan commun.

Une deuxième couche conductrice est déposée sur la couche active 8 dans une cinquième étape et, ensuite, gravée, dans une sixième étape, de manière à former un deuxième réseau de bandes parallèles perpendiculaires aux bandes du premier réseau de bandes. Les bandes ainsi obtenues constituent les deuxièmes conducteurs 2 (figure 6). Dans une septième étape, l'espace entre les deuxièmes conducteurs 2 est rempli, par exemple avec une technique utilisant une résine de planarisation 9 ou en utilisant une étape de polissage mécano-chimique.

Les figures 7 et 8 illustrent la fabrication d'une matrice d'estampage destinée à stocker irréversiblement une information dans un support mémoire vierge. Sur la figure 7, une résine photosensible 14 est déposée sur un substrat intermédiaire

15. Ensuite, on grave, dans la résine photosensible 14, un réseau de zones élémentaires 16 dont la configuration correspond au motif d'estampage désiré. Comme représenté sur la figure 8, un métal constituant la matrice d'estampage 17 est déposé, de manière à remplir les zones élémentaires 16, par dépôt électrolytique, sur le substrat intermédiaire 15 et sur la résine photosensible 14, qui est, par exemple, revêtue préalablement d'une fine couche conductrice à l'aide d'une technique de dépôt physique en phase vapeur. Ensuite, la matrice d'estampage 17 est détachée du substrat intermédiaire 15 et des résidus de résine photosensible 14 sont enlevés de la matrice d'estampage 17. Ainsi est obtenue une matrice d'estampage 17 comportant des éléments en saillie 18 dont la configuration correspond au motif d'estampage (figure 9) représentatif de l'information à stocker.

Pour l'estampage du support mémoire, comme représenté à la figure 9, le support mémoire et la matrice d'estampage 17 sont alignés et une pression est exercée sur la matrice d'estampage 17, de manière à ce que les éléments en saillie 18 de la matrice d'estampage 17 déforment, à travers le deuxième conducteur 2, les zones 10 de la couche active 8 disposées vis-à-vis des éléments en saillie 18.

La couche active 8 peut également être une couche isolante fine, l'estampage déformant le deuxième conducteur 2 de manière à établir un contact mécanique direct entre le matériau du deuxième conducteur 2 et la diode sous-jacente associée, en écrasant totalement la couche isolante à l'emplacement de la cellule mémoire considérée.

Plusieurs supports mémoire irréversibles peuvent donc être assemblés collectivement par un procédé unique, indépendamment de l'information à stocker et sans étapes de lithographie spécifiques de l'information à stocker. La

- réalisation d'une série de supports destinés à stocker les mêmes informations nécessite la fabrication d'une seule matrice d'estampage spécifique. L'estampage d'une série de supports, petite ou grande, est moins complexe et réalisable à des coûts plus faible que la réalisation d'étapes de lithographie supplémentaires pour chaque support ou la programmation de chacun des supports d'une série de supports mémoire irréversibles programmables.
- 5

Revendications

1. Procédé de réalisation d'un support mémoire irréversible comportant un réseau de cellules mémoire (3), chaque cellule mémoire (3) comportant une zone (10) d'une couche active (8) disposée entre des premier (1) et deuxième (2) conducteurs, une information binaire stockée dans la cellule mémoire (3) étant déterminée par l'état de conduction électrique de la zone (10) correspondante, procédé caractérisé en ce qu'il comporte l'assemblage d'un support mémoire vierge dont la couche active (8) est dans un état initial isolant, la fabrication d'une matrice d'estampage (17) ayant un motif d'estampage correspondant à l'information à stocker et l'estampage du support mémoire par l'intermédiaire de la matrice d'estampage (17), de manière à rendre des zones prédéterminées (10) de la couche active (8) électriquement conductrices par déformation plastique localisée (4).

2. Procédé selon la revendication 1, caractérisé en ce que la couche active (8) est constituée par une résine chargée.

3. Procédé selon l'une des revendications 1 et 2, caractérisé en ce que l'assemblage d'un support mémoire vierge comporte successivement

- le dépôt, sur un substrat (5), d'une première couche conductrice (11) et de deux couches semiconductrices (6, 7) de dopages opposés,
- la gravure de l'empilement constitué par la première couche conductrice (11) et les deux couches semiconductrices (6, 7), de manière à obtenir un premier réseau de bandes (13) parallèles,
- le remplissage de l'espace entre les bandes (13) du premier réseau de bandes (13) parallèles, de manière à créer un plan commun avec les bandes (13) du premier réseau de bandes (13) parallèles,
- le dépôt de la couche active (8) sur ledit plan commun,

- le dépôt d'une deuxième couche conductrice sur la couche active (8),
- la gravure de la deuxième couche conductrice, de manière à obtenir un deuxième réseau de bandes parallèles perpendiculaires aux bandes (13) du premier réseau de bandes (13),
- 5 - le remplissage de l'espace entre les bandes du deuxième réseau de bandes parallèles.

4. Procédé selon la revendication 3, caractérisé en ce que l'espace entre les bandes du premier et/ou deuxième réseau de bandes parallèles est rempli avec
10 une technique utilisant une résine de planarisation (12, 9).

5. Procédé selon la revendication 3, caractérisé en ce que l'espace entre les bandes du premier et/ou deuxième réseau de bandes parallèles est rempli en utilisant une étape de polissage mécano-chimique.

15 6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que la fabrication de la matrice d'estampage (17) comporte successivement

- le dépôt d'une résine photosensible (14) sur un substrat intermédiaire (15),
- 20 - la gravure, dans la résine photosensible (14), d'un réseau de zones élémentaires (16) dont la configuration correspond au motif d'estampage,
- le dépôt électrolytique, sur le substrat intermédiaire (15) et la résine photosensible (14), d'un métal constituant la matrice d'estampage
25 (17),
- le détachement de la matrice d'estampage (17) du substrat intermédiaire (15),
- l'enlèvement de résidus de résine photosensible (14) de la matrice d'estampage (17).

7. Support mémoire irréversible, caractérisé en ce qu'il est obtenu par l'intermédiaire d'un procédé selon l'une quelconque des revendications 1 à 6.

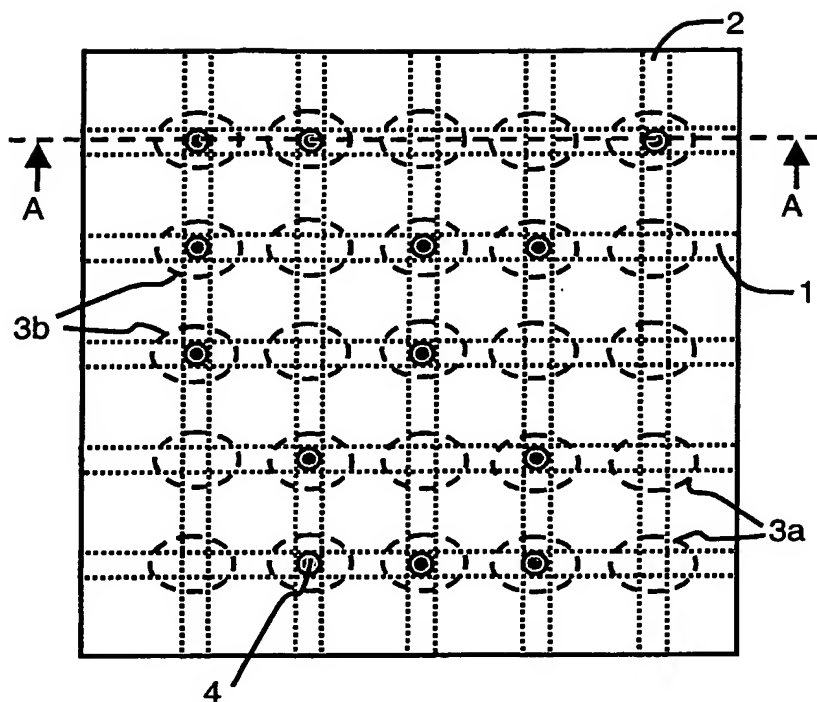


Figure 1

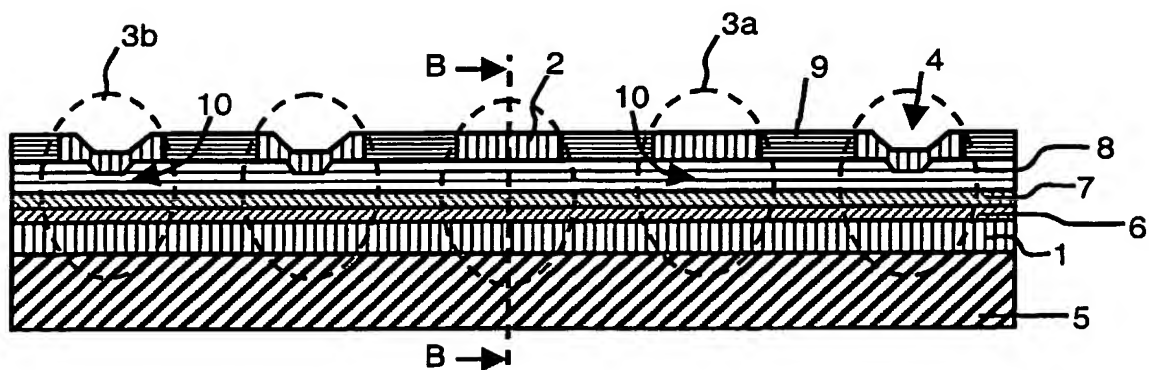


Figure 2

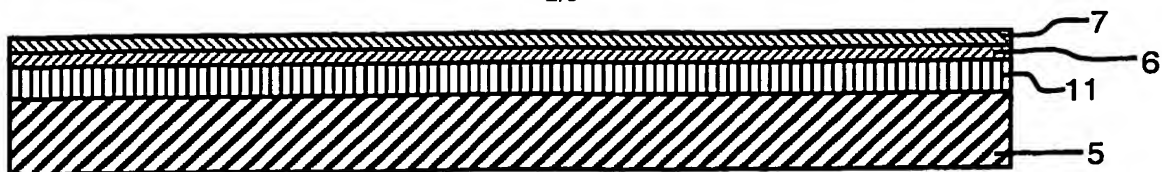


Figure 3

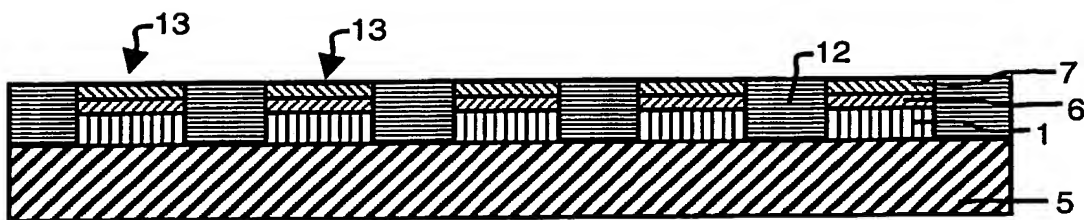


Figure 4

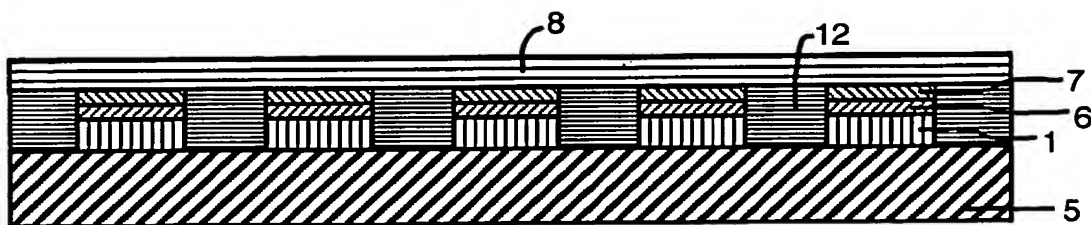


Figure 5

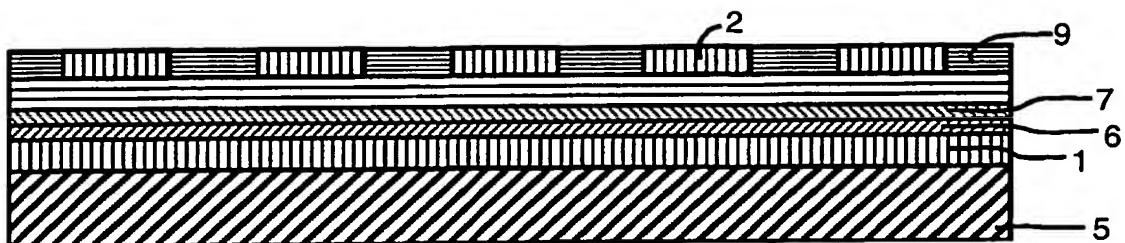


Figure 6



Figure 7

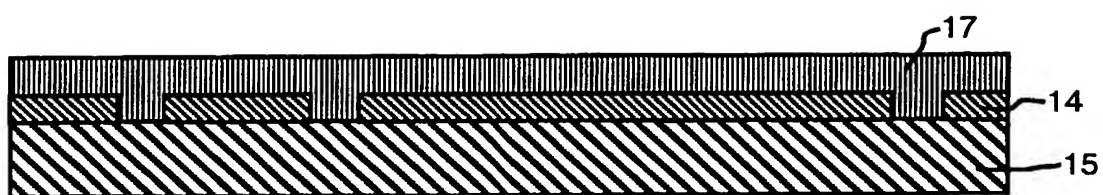


Figure 8

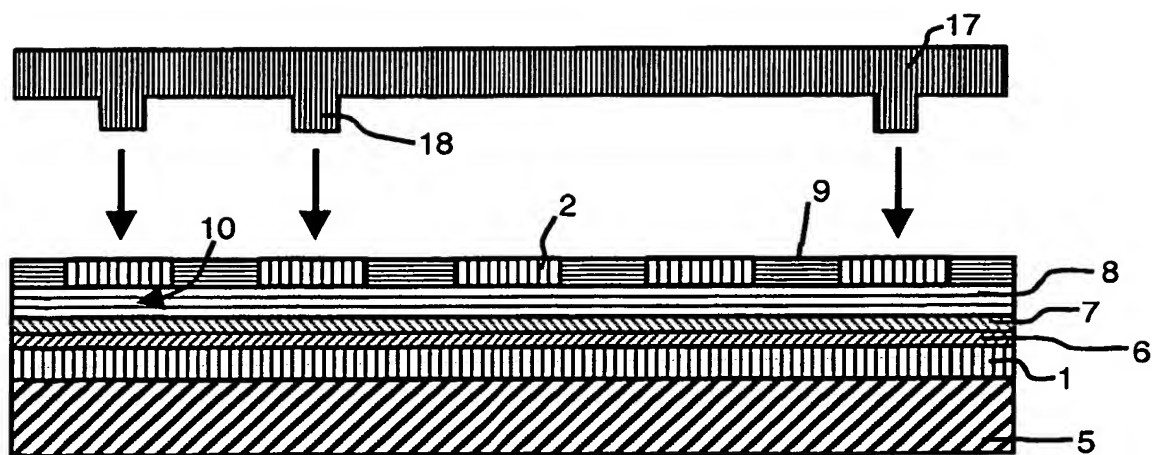


Figure 9

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR2004/003091

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L27/10 H01L27/102 H01L27/112 H01L21/8246 H01L23/525
H01L23/532

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 5 464 989 A (MORI SHINICHI ET AL) 7 November 1995 (1995-11-07) column 11, line 53 - column 13, line 15; figure 1	7 1-6
X A	US 5 580 809 A (MORI ET AL) 3 December 1996 (1996-12-03) column 7, line 61 - column 9, line 44 column 11, line 57 - column 13, line 19; figure 1	7 1-6
A	US 6 121 688 A (AKAGAWA MASATOSHI) 19 September 2000 (2000-09-19) cited in the application column 4, line 1 - column 6, line 43; figures 1-5	1-7
	----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

14 Apr11 2005

Date of mailing of the international search report

29/04/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Neumann, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR2004/003091

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 734 065 A (SHINKO ELECTRIC INDUSTRIES CO. LTD) 25 September 1996 (1996-09-25) column 3, line 19 - column 6, line 26; figures 1-5 -----	1-7
A	EP 0 786 808 A (SHINKO ELECTRIC INDUSTRIES CO. LTD) 30 July 1997 (1997-07-30) column 4, line 26 - column 7, line 33; figures 1-5 -----	1-7
A	US 6 055 180 A (GUDESEN HANS GUDE ET AL) 25 April 2000 (2000-04-25) cited in the application column 7, line 6 - column 10, line 36; claims 1,2,10; figures 1-5 -----	1-7
A	US 4 396 998 A (HUNT ROBERT N ET AL) 2 August 1983 (1983-08-02) column 1, line 9 - column 6, line 5; claim 1; figures 1-3 -----	1-7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR2004/003091

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5464989	A	07-11-1995	US 5580809 A DE 4205044 A1 JP 2791522 B2 JP 5082757 A KR 9610736 B1	03-12-1996 20-08-1992 27-08-1998 02-04-1993 07-08-1996
US 5580809	A	03-12-1996	US 5464989 A DE 4205044 A1 JP 2791522 B2 JP 5082757 A KR 9610736 B1	07-11-1995 20-08-1992 27-08-1998 02-04-1993 07-08-1996
US 6121688	A	19-09-2000	JP 3549316 B2 JP 8330356 A DE 69711735 D1 DE 69711735 T2 EP 0786808 A1 US 5886415 A	04-08-2004 13-12-1996 16-05-2002 21-11-2002 30-07-1997 23-03-1999
EP 0734065	A	25-09-1996	DE 69621863 D1 DE 69621863 T2 EP 0734065 A2 JP 3569585 B2 JP 8330355 A JP 3549316 B2 JP 8330356 A KR 218996 B1 US 5677576 A	25-07-2002 21-11-2002 25-09-1996 22-09-2004 13-12-1996 04-08-2004 13-12-1996 01-09-1999 14-10-1997
EP 0786808	A	30-07-1997	JP 3549316 B2 JP 8330356 A DE 69711735 D1 DE 69711735 T2 EP 0786808 A1 US 6121688 A US 5886415 A	04-08-2004 13-12-1996 16-05-2002 21-11-2002 30-07-1997 19-09-2000 23-03-1999
US 6055180	A	25-04-2000	AT 237182 T AU 735299 B2 AU 8359698 A CA 2294834 A1 CN 1267389 A DE 69813218 D1 DE 69813218 T2 DK 990235 T3 EP 0990235 A2 ES 2196585 T3 JP 3415856 B2 JP 2001503183 T NO 990617 A WO 9858383 A2 RU 2182732 C2	15-04-2003 05-07-2001 04-01-1999 23-12-1998 20-09-2000 15-05-2003 25-03-2004 28-04-2003 05-04-2000 16-12-2003 09-06-2003 06-03-2001 10-02-1999 23-12-1998 20-05-2002
US 4396998	A	02-08-1983	CA 1171175 A1	17-07-1984

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR2004/003091

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 H01L27/10 H01L27/102 H01L27/112 H01L21/8246 H01L23/525
H01L23/532

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X A	US 5 464 989 A (MORI SHINICHI ET AL) 7 novembre 1995 (1995-11-07) colonne 11, ligne 53 - colonne 13, ligne 15; figure 1	7 1-6
X A	US 5 580 809 A (MORI ET AL) 3 décembre 1996 (1996-12-03) colonne 7, ligne 61 - colonne 9, ligne 44 colonne 11, ligne 57 - colonne 13, ligne 19; figure 1	7 1-6
A	US 6 121 688 A (AKAGAWA MASATOSHI) 19 septembre 2000 (2000-09-19) cité dans la demande colonne 4, ligne 1 - colonne 6, ligne 43; figures 1-5	1-7
	----- -/-	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

& document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

14 avril 2005

Date d'expédition du présent rapport de recherche internationale

29/04/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Neumann, A

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR2004/003091

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 734 065 A (SHINKO ELECTRIC INDUSTRIES CO. LTD) 25 septembre 1996 (1996-09-25) colonne 3, ligne 19 - colonne 6, ligne 26; figures 1-5 -----	1-7
A	EP 0 786 808 A (SHINKO ELECTRIC INDUSTRIES CO. LTD) 30 juillet 1997 (1997-07-30) colonne 4, ligne 26 - colonne 7, ligne 33; figures 1-5 -----	1-7
A	US 6 055 180 A (GUDESEN HANS GUDE ET AL) 25 avril 2000 (2000-04-25) cité dans la demande colonne 7, ligne 6 - colonne 10, ligne 36; revendications 1,2,10; figures 1-5 -----	1-7
A	US 4 396 998 A (HUNT ROBERT N ET AL) 2 août 1983 (1983-08-02) colonne 1, ligne 9 - colonne 6, ligne 5; revendication 1; figures 1-3 -----	1-7

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No

PCT/FR2004/003091

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5464989	A	07-11-1995	US 5580809 A	03-12-1996
			DE 4205044 A1	20-08-1992
			JP 2791522 B2	27-08-1998
			JP 5082757 A	02-04-1993
			KR 9610736 B1	07-08-1996
US 5580809	A	03-12-1996	US 5464989 A	07-11-1995
			DE 4205044 A1	20-08-1992
			JP 2791522 B2	27-08-1998
			JP 5082757 A	02-04-1993
			KR 9610736 B1	07-08-1996
US 6121688	A	19-09-2000	JP 3549316 B2	04-08-2004
			JP 8330356 A	13-12-1996
			DE 69711735 D1	16-05-2002
			DE 69711735 T2	21-11-2002
			EP 0786808 A1	30-07-1997
			US 5886415 A	23-03-1999
EP 0734065	A	25-09-1996	DE 69621863 D1	25-07-2002
			DE 69621863 T2	21-11-2002
			EP 0734065 A2	25-09-1996
			JP 3569585 B2	22-09-2004
			JP 8330355 A	13-12-1996
			JP 3549316 B2	04-08-2004
			JP 8330356 A	13-12-1996
			KR 218996 B1	01-09-1999
			US 5677576 A	14-10-1997
EP 0786808	A	30-07-1997	JP 3549316 B2	04-08-2004
			JP 8330356 A	13-12-1996
			DE 69711735 D1	16-05-2002
			DE 69711735 T2	21-11-2002
			EP 0786808 A1	30-07-1997
			US 6121688 A	19-09-2000
			US 5886415 A	23-03-1999
US 6055180	A	25-04-2000	AT 237182 T	15-04-2003
			AU 735299 B2	05-07-2001
			AU 8359698 A	04-01-1999
			CA 2294834 A1	23-12-1998
			CN 1267389 A	20-09-2000
			DE 69813218 D1	15-05-2003
			DE 69813218 T2	25-03-2004
			DK 990235 T3	28-04-2003
			EP 0990235 A2	05-04-2000
			ES 2196585 T3	16-12-2003
			JP 3415856 B2	09-06-2003
			JP 2001503183 T	06-03-2001
			NO 990617 A	10-02-1999
			WO 9858383 A2	23-12-1998
			RU 2182732 C2	20-05-2002
US 4396998	A	02-08-1983	CA 1171175 A1	17-07-1984